

AMPLIFIER PART

Patent Number: JP7193439
Publication date: 1995-07-28
Inventor(s): NARA OSAMU; others: 02
Applicant(s): FUJITSU LTD
Requested Patent: JP7193439
Application Number: JP19930331212 19931227
Priority Number(s):
IPC Classification: H03F3/30; H03F1/34
EC Classification:
Equivalents: JP3052712B2

Abstract

PURPOSE: To obtain an amplifier for obtaining a line driver circuit, which is small in both distortion and power consumption, regarding an amplifier part.

CONSTITUTION: AB and +B class push-pull characteristics are obtained by performing a connection by using amplifiers 1 and 2, constant current sources 3 and 4, a one-conduction type transistor Tr 1, a one-conduction type transistor Tr 3 whose gate is connected with reference voltage 5, an opposite conductive type transistor Tr 2 and an opposite conductive type transistor Tr 4 whose gate is connected with reference voltage 6. Further, by applying a negative feedback, an amplifier small in distortion and power consumption is obtained.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (U.S.P.1.U)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-193439

(43)公開日 平成7年(1995)7月28日

(51) Int.Cl. ⁶ H 03 F 3/30 1/34	識別記号 8839-5J 9067-5J	序内整理番号 F I	技術表示箇所
--	----------------------------	---------------	--------

審査請求 未請求 請求項の数1 O.L (全8頁)

(21)出願番号	特願平5-331212	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成5年(1993)12月27日	(72)発明者	奈良 修 栃木県小山市城東3丁目28番1号 富士通 デジタル・テクノロジ株式会社内
		(72)発明者	三好 清司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	山本 聰 栃木県小山市城東3丁目28番1号 富士通 デジタル・テクノロジ株式会社内
		(74)代理人	弁理士 井桁 貞一

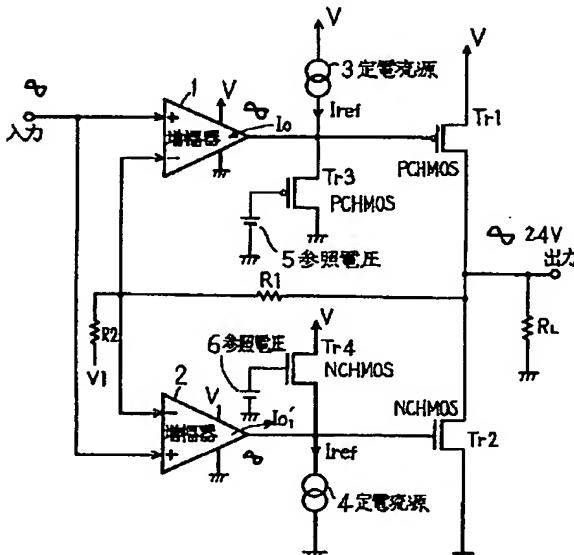
(54)【発明の名称】 増幅部

(57)【要約】

【目的】 増幅部に関し、歪み及び消費電力共に小さい
ラインドライバ回路を得る為の増幅部の提供を目的とする。

【構成】 増幅器1、2、定電流源3、4、一導電型の
トランジスタTr1、ゲートに参照電圧5を接続した一
導電型のトランジスタTr3、反対導電型のトランジ
スタTr2、ゲートに参照電圧6を接続した反対導電型の
トランジスタTr4を用い、図1の如く接続し、AB級
+ B級のブッシュブル特性を得、更に負帰還をかける
ことで歪み及び消費電力の小さい増幅部をうる構成とす
る。

本発明の実施例の増幅部のブロック図



【特許請求の範囲】

【請求項1】 電源電圧とアース間に、一導電型の第1のトランジスタ(T_{r1})と反対導電型の第2のトランジスタ(T_{r2})とを直列に接続し、該接続点を出力とする回路と、第1の定電流源(3)と、ゲートに第1の参照電圧(5)を接続した一導電型の第3のトランジスタ(T_{r3})を直列に接続した回路と、ゲートに第2の参照電圧(6)を接続した反対導電型の第4のトランジスタ(T_{r4})と、第2の定電流源(4)とを直列に接続した回路とを挿入し、入力するアナログ信号を、第1、第2の増幅器(1, 2)に入力するようにし、該第1の増幅器(1)の出力を、該第1のトランジスタ(T_{r1})のゲートに接続すると共に、該第1の定電流源(3)と該第3のトランジスタ(T_{r3})との接続点に接続し、該第2の増幅器(2)の出力を、該第2のトランジスタ(T_{r2})のゲートに接続すると共に、該第4のトランジスタ(T_{r4})と該第2の定電流源(4)との接続点に接続し、且つ該第1のトランジスタ(T_{r1})と該第2のトランジスタ(T_{r2})との接続点より抵抗(R_1)を介して該第1、第2の増幅器(1, 2)の、振幅の中心電圧(V_1)のバイアスが印加されている入力に負帰還をかけたことを特徴とする増幅部。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、伝送路にアナログ信号を増幅して出力する為のラインドライバ回路(低インピーダンス駆動用増幅器)を構成する場合等に用いる増幅部に関する。

【0002】 ラインドライバ回路を使用するシステムの1例につき説明する。図9は1例のラインドライバ回路を用いる加入者線伝送システムのブロック図である。

【0003】 図9に示す加入者線伝送システムは、2線式メタリックケーブルの加入者線24の両端の、局側にはディジタル回線終端部21を接続し、加入者宅側には、ディジタル回線終端部20を接続し双方向のディジタル伝送が出来るようにするものである。

【0004】 ディジタル回線終端部20, 21には、線路終端部22と回線終端部23を有し、線路終端部22には、送信信号を増幅出力するラインドライバ回路30、ハイブリッド31及び波形等化、タイミング抽出、エコーチャンセラ等を有する受信部32を有している。

【0005】 ラインドライバ回路30は、このようなところに使用され、この場合は加入者毎に2個づつ必要となる為に、LSI化出来、歪みが小さく、消費電力が小さいものであることが望まれている。

【0006】

【従来の技術】 図10は従来例のラインドライバ回路のブロック図である。図10のラインドライバ回路では、入力するアナログ信号を、電圧VRを振幅の中心として、A級増幅する負帰還型の増幅器13と、入力するア

ナログ信号を、電圧VRを振幅の中心とし、増幅器13と逆位相でA級増幅する負帰還型の増幅器14とを用い、増幅器13, 14の出力を、トランジスタの両端に接続してトランジスタより、増幅した歪みの小さい信号を出力するものである。

【0007】

【発明が解決しようとする課題】 しかしながら、増幅器13, 14はA級で動作する為に消費電力が大きい問題点がある。

【0008】 本発明は、歪み及び消費電力共に小さいラインドライバ回路を得る為の増幅部の提供を目的としている。

【0009】

【課題を解決するための手段】 低消費電力の増幅器を得る為には、図6(A)に示すB級ブッシュブル特性の増幅器を用いる方法が考えられるが、LSIのトランジスタを用いて実現する場合は、用いるトランジスタの特性にばらつきがある為にオフセット電圧が生ずると消費電力が増加するので、図6(A)に示す不感帯の如く、ある程度広くしなければならない。

【0010】 不感帯があると、歪みを少なくする為に負帰還をかけても、不感帯部分は利得が0となり、信号の一部が欠げてしまうクロスオーバ歪みが生ずる。クロスオーバ歪みを少なくする為には、図6(B)に示す如く、不感帯部分はAB級の動作をするとよい。

【0011】 しかしAB級とB級の間に折れ線部分が出来歪みを生ずるので、負帰還をかけると、図6(B)の点線で示す如き特性が得られ、低歪み、低消費電力の増幅部が得られる。

【0012】 この図6(B)に示すAB級+B級のブッシュブル特性を得、負帰還をかけ、図6(B)の点線で示す特性が得られる増幅部を実現する為に、図1の本発明の実施例の増幅部のブロック図に示す如く、電源電圧とアース間に、一導電型の第1のトランジスタ T_{r1} と反対導電型の第2のトランジスタ T_{r2} とを直列に接続し、該接続点を出力とする回路と、第1の定電流源3と、ゲートに第1の参照電圧5を接続した一導電型の第3のトランジスタ T_{r3} を直列に接続した回路と、ゲートに第2の参照電圧6を接続した反対導電型の第4のトランジスタ T_{r4} と、第2の定電流源4とを直列に接続した回路とを挿入し、入力するアナログ信号を、第1、第2の増幅器1, 2に入力するようにし、該第1の増幅器1の出力を、該第1のトランジスタ T_{r1} のゲートに接続すると共に、該第1の定電流源3と該第3のトランジスタ T_{r3} との接続点に接続し、該第2の増幅器2の出力を、該第2のトランジスタ T_{r2} のゲートに接続すると共に、該第4のトランジスタ T_{r4} と該第2の定電流源4との接続点に接続し、且つ該第1のトランジスタ T_{r1} と該第2のトランジスタ T_{r2} との接続点より抵

抗R1を介して該第1、第2の増幅器1、2の、振幅の中心電圧V1のバイアスが印加されている入力に負帰還をかけた構成とする。

【0013】

【作用】電源電圧を5V、振幅の中心電圧V1を2.4Vとし、一導電型のトランジスタTr1、Tr3をPチャネルMOSFETとし、反対導電型のトランジスタTr2、Tr4をNチャネルMOSFETとして以下説明する。

【0014】入力電圧が中心電圧V1より高くなり、第1の増幅器1の電源よりの吸い込み電流が大きくなり、出力電圧が不感帯の端の図6(A)のイ点に相当する電圧になった時の吸い込み電流I。に、定電流源3の電流Irefを等しくなるようにし、又参照電圧5を、第1の増幅器1の出力電圧が不感帯の端の図6(A)のイ点に相当する電圧になった時以上はトランジスタTr3には電流が流れない電圧とする。

【0015】入力電圧が中心電圧V1より低い方に大きくなり、第2の増幅器2の電源よりの吐き出し電流が大きくなり出力電圧が不感帯の端の図6(A)のロ点に相当する電圧になった時の吐き出し電流I。に、定電流源4の電流Irefを等しくなるようにし、又参照電圧6を、第2の増幅器2の出力電圧が不感帯の端の図6(A)のロ点に相当する電圧になった時以上はトランジスタTr4には電流が流れない電圧とする(こうすると参照電圧5の電圧はトランジスタTr4のドレインとゲート間の電圧に等しくなる)。

【0016】このようにすると、増幅器1への入力電圧が正方向に大きくなり、出力電圧が図6(A)のイ点に相当する電圧になる迄は、トランジスタTr3にはIref-I。の電流が流れ、増幅器1の出力インピーダンスは低く利得は小さいが、イ点に相当する電圧以上になると、トランジスタTr3には電流が流れなくなり、増幅器1の出力インピーダンスは非常に高くなり利得は大きくなる。

【0017】増幅器2側では、入力電圧が負方向に大きくなり、出力電圧が図6(A)のロ点に相当する電圧になる迄は、トランジスタTr4にはIref-I。の電流が流れ、増幅器2の出力インピーダンスは低く利得は小さいが、ロ点に相当する電圧以上になると、トランジスタTr4には電流が流れなくなり、増幅器2の出力インピーダンスは非常に高くなり利得は大きくなる。

【0018】トランジスタTr1は、ゲートへの入力電圧が高くなるに従いインピーダンスが小さくなり、トランジスタTr2は、ゲートへの入力電圧が上記と逆方向に高くなるに従いインピーダンスが小さくなる。

【0019】ここで、増幅部の等価回路を説明するが、増幅器1側と増幅器2側とは同じようになるので、増幅器1側につき図2を用いて説明する。即ち、吸い込み電流I。<定電流源3の電流Irefの間は、トランジ

タTr3のインピーダンスRsは小さく、増幅器1の出力インピーダンスR。より遙かに小さいので、等価回路は図2(A)に示す如くなり、増幅度は(1)式に示す如く、 $g_m1 \times R_s \times g_m3 \times R_L$ となり(但し g_m1 、 g_m3 は増幅器1、トランジスタTr1の相互コンダクタンス、RLは出力負荷を示す)利得は小さくAB級の動作をするようになる。

【0020】I。>Irefとなると、トランジスタTr3のインピーダンスRsは非常に高く無限大に近くなるので、等価回路は図2(B)に示す如くなり、増幅度は(2)式に示す如く、 $g_m1 \times R_s \times g_m3 \times R_L$ となり利得は大きくB級の動作をするようになる。

【0021】次に、図1のトランジスタTr1とTr2の接続点を切断し、図3(A)に示す如き回路(定電流源3、4、トランジスタTr3、Tr4関係の図示は省略してある)とし、入力に直流電圧を入力し、図3(A)のVpoとVno点の電圧を求める、図3のイ、ロに示す静特性となる。

【0022】次に図4(A)に示す如く、トランジスタTr1とTr2の接続点を接続し、入力に直流電圧を入力し、V0の点の電圧を求める、図4に示す静特性となる。

【0023】即ち、不感帯の約2.41V~2.39Vの間はAB級で、2.41V以下と2.39V以上はB級を示すブッシュブル特性となる。次に図5(A)に示す如く、トランジスタTr1とTr2の接続点より、抵抗R1(5KΩ)を介して、増幅器1、2の、振幅の中心電圧の2.4Vのバイアスがかけられている入力に負帰還をかけると、上記接続点の電圧は図5に示す如く略直線の静特性となり、図6(B)の点線で示す、所望の特性を得ることが出来る。

【0024】

【実施例】図1は本発明の実施例の増幅部のブロック図、図7は本発明の実施例のラインドライバ回路のブロック図、図8は本発明の実施例のラインドライバ回路の回路図である。

【0025】図1で、トランジスタTr1、Tr3はPチャネルMOSFET、トランジスタTr2、Tr4はNチャネルMOSFETとし、増幅器1、2はオペアンプにて構成し、電源電圧は5V、振幅の中心電圧は2.4Vとすると、静特性は先に説明せる如く、図4に示すAB級+B級のブッシュブル特性に負帰還をかけた、図5に示す、中心電圧は2.4Vを中心にして略直線に延びた静特性となる。

【0026】従って、入力に交流信号を入力すると、低消費電力で歪みが少ない出力が得られる。図7は全差動型のラインドライバ回路で、POSTAMP11-1、12-1、トランジスタTr1-1、Tr2-1、抵抗R1-1、及びPOSTAMP11-2、12-2、トランジスタTr1-2、Tr2-2、抵抗R1-2に

て、夫々図5に示す増幅部を構成している。

【0027】又入力のIM, IPには、夫々逆位相の信号を入力し、ブリアンプ7にて、夫々位相を反転した信号を出力し、一方の信号をPOSTAMP 11-1, 12-1側に入力し、他方の信号をPOSTAMP 11-2, 12-2側に入力し、トランジスタTr 1-1, Tr 2-1の接続点の出力のOP点及びトランジスタTr 1-2, Tr 2-2の接続点の出力のOM点より夫々増幅した出力を得、OP, OM点間の電圧をトランスを介して例えば加入者線に出力する。

【0028】更に、ラインドライバ回路内の中心電圧2.4Vを安定にする為に、OP, OM点間の中心電圧の2.4Vを、10KΩの抵抗R2, R3を用いて求め、この電圧を、参照電圧の2.4Vを有する比較器8に入力し、出力をブリアンプ7及び、コンデンサC5, 抵抗R7, コンデンサC6, 抵抗R8を経て、ブリアンプ7の2つの出力に負帰還をかけている。

【0029】又所望の利得が1.7倍の4.6dBである為に、抵抗R4, R5を17KΩ, 抵抗R9, R10を10KΩとして負帰還をかけている。即ち本発明の増幅部を用いることで、低消費電力で歪みの少ないラインドライバ回路を構成することが出来る。

【0030】図8は図7のブロック図に対する回路図で、同一機能のものは同じ記号で示してあり、図5のVrefに相当するものがバイアス回路のVbとなっている。上記は、一導電型トランジスタ、反対導電型トランジスタとして、PチャネルMOSFET, NチャネルMOSFETを用いて説明したが、PNPトランジスタ、NPNトランジスタを用いてもよい。

【0031】

【発明の効果】以上詳細に説明せる如く本発明によれば、低消費電力で歪みの少ないラインドライバ回路を構成することが出来る効果がある。

【図面の簡単な説明】

【図1】は本発明の実施例の増幅部のブロック図。 *

* 【図2】は図1の増幅部の等価回路及び利得を示す図、
【図3】は1例の増幅部の単体の静特性を示す図、
【図4】は1例の増幅部の負帰還をかけない場合の静特性を示す図、

【図5】は1例の増幅部の静特性を示す図、

【図6】は1例のB級ブッシュブル、B級+AB級ブッシュブルの特性図、

【図7】は本発明の実施例のラインドライバ回路のブロック図、

10 【図8】は本発明の実施例のラインドライバ回路の回路図、

【図9】は1例のラインドライバ回路を用いる加入者線伝送システムのブロック図、

【図10】は従来例のラインドライバ回路のブロック図である。

【符号の説明】

1, 2, 13, 14は増幅器、

3, 4は定電流源、

5, 6は参照電圧、

7はブリアンプ、

8は比較器、

11-1, 11-2, 12-1, 12-2はPOSTAMP、

20, 21はディジタル回線終端部、

22は線路終端部、

23は回線終端部、

24は加入者線、

30はラインドライバ回路、

31はハイブリッド、

32は受信部、

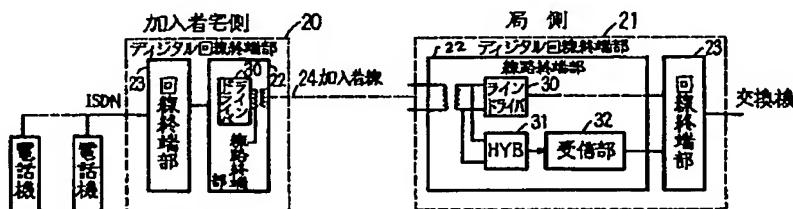
R1, R1-1, R1-2, R2~R10, R12~R14は抵抗、

C1~C7はコンデンサ、

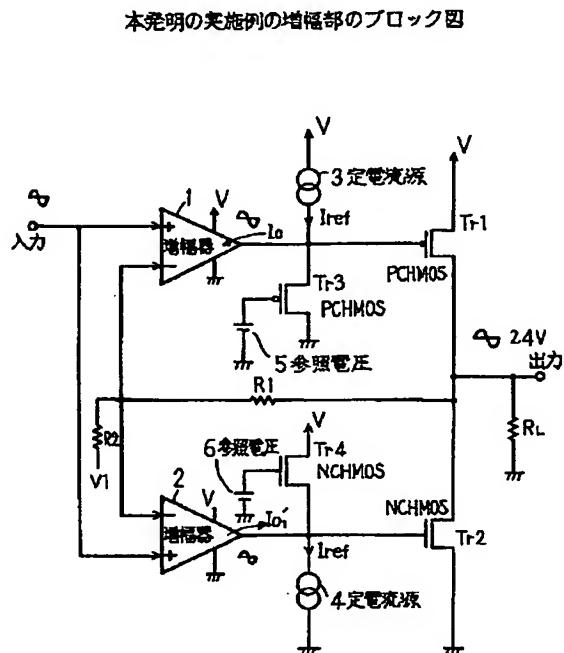
Tはトランスを示す。

【図9】

1例のラインドライバ回路を用いる加入者線伝送システムのブロック図

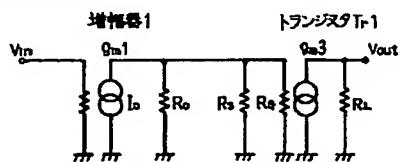


【図1】



【図2】

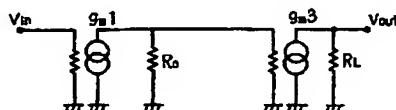
図1の増幅部の等価回路及び利得を示す図

(A) $I_o < I_{ref}$ 

$g_m1, g_m3 \dots$ 増幅器1、トランジスタTr-1の相互コンダクタンス
 $R_o \dots$ 増幅器1の出力インピーダンス
 $R_s \dots$ トランジスタTr-3のソースインピーダンス
 $R_g \dots$ トランジスタTr-1のゲートインピーダンス
 $R_L \dots$ 出力負荷

$$\frac{V_{out}}{V_{in}} = g_{m1} \times \frac{R_o - R_s}{R_o + R_s} \times g_{m3} \times R_L \quad R_o > R_s$$

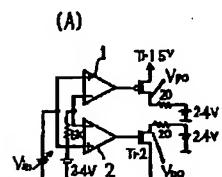
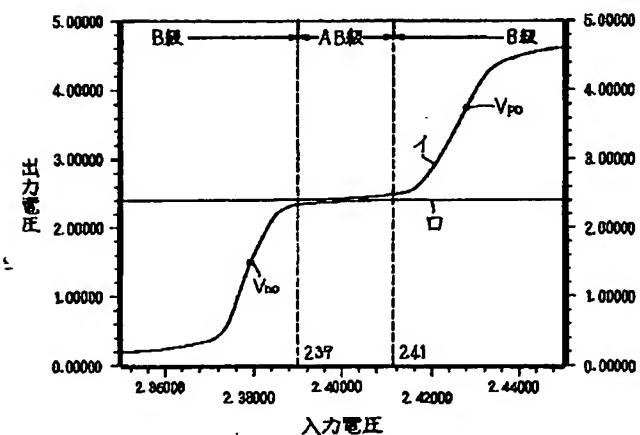
$$\frac{V_{out}}{V_{in}} \approx g_{m1} \times R_s \times g_{m3} \times R_L \quad \dots (1)$$

(B) $I_o > I_{ref}$ 

$$\frac{V_{out}}{V_{in}} = g_{m1} \times R_o \times g_{m3} \times R_L \quad \dots (2)$$

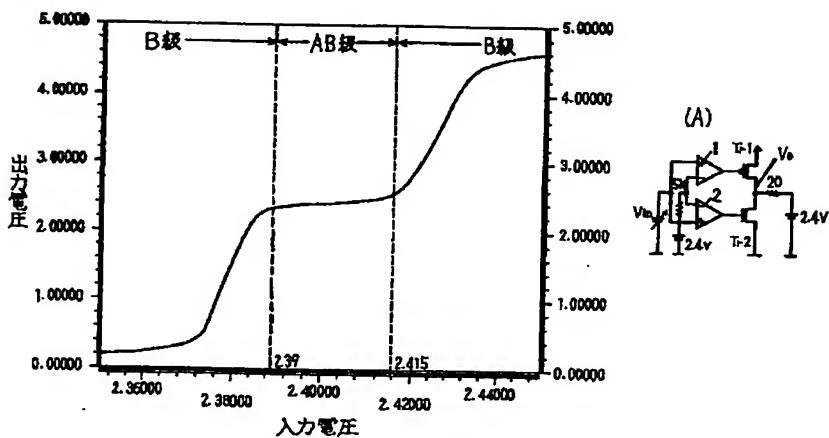
【図3】

1例の増幅部の単体の静特性を示す図



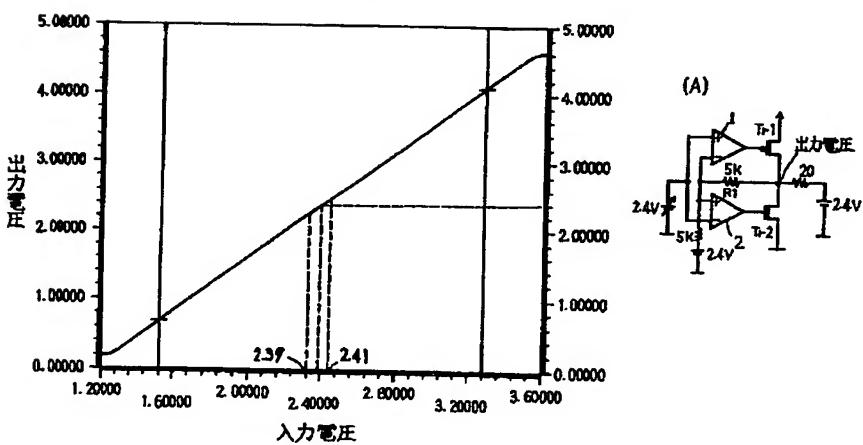
【図4】

1例の増幅部の負帰還をかけない場合の静特性を示す図



【図5】

1例の増幅部の静特性を示す図



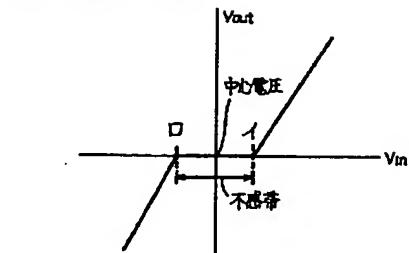
【図6】

1例のB級プッシュプル、B級+AB級プッシュプルの特性図

〔図7〕

本発明の実施例の全差動型ラインドライバ回路のブロック図

(A) B級プッシュプル

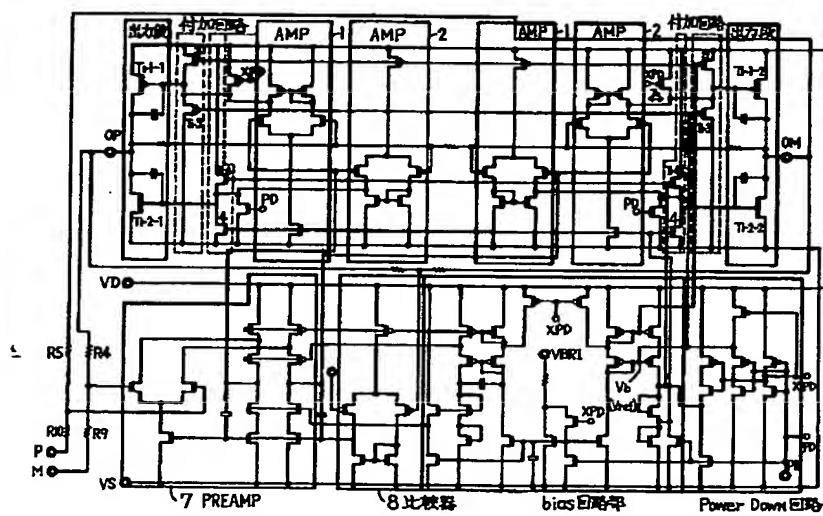


(B) B級+AB級ブッシュブリ

This circuit diagram illustrates a power supply stage with two output amplifiers (11-1 and 11-2) and a reference voltage source. The circuit is powered by a 24V DC source. The reference voltage source, labeled V_{ref} , is connected to ground through a 24Ω resistor. The output of the reference source is connected to the non-inverting input of both amplifiers (11-1 and 11-2) and to the inverting input of the first amplifier (11-1). The inverting input of the second amplifier (11-2) is connected to ground. The non-inverting input of the first amplifier (11-1) is connected to the output of the reference source and to the inverting input of the second amplifier (11-2). The inverting input of the first amplifier (11-1) is connected to ground through a 500Ω resistor. The output of the first amplifier (11-1) is connected to the inverting input of the second amplifier (11-2) through a 500Ω resistor. The non-inverting input of the second amplifier (11-2) is connected to the output of the reference source and to the inverting input of the first amplifier (11-1). The inverting input of the second amplifier (11-2) is connected to ground through a 500Ω resistor. The outputs of the two amplifiers (11-1 and 11-2) are connected to the bases of two transistors (Tr-1-1 and Tr-1-2) respectively. The collector of Tr-1-1 is connected to the collector of Tr-2-1, and the collector of Tr-1-2 is connected to the collector of Tr-2-2. The collectors of Tr-2-1 and Tr-2-2 are connected to ground through 2.5pF capacitors (C1 and C2). The emitters of Tr-1-1 and Tr-1-2 are connected to ground through 10K resistors (R1-1 and R1-2). The emitters of Tr-2-1 and Tr-2-2 are connected to ground through 10K resistors (R2-1 and R2-2). The outputs of the two stages are labeled OP_1 and OP_2 .

【図8】

本発明の実施例のライントライバ回路の回路図



【図10】

従来例のラインドライバ回路のブロック図

